

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月26日
Date of Application:

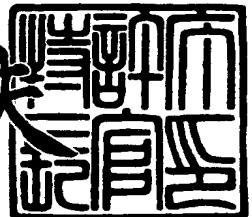
出願番号 特願2003-086570
Application Number:
[ST. 10/C] : [JP2003-086570]

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2004年 1月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 P007070

【提出日】 平成15年 3月26日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 安西 彩

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 岩淵 友幸

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 海老根 秀之

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置及びその駆動方法

【特許請求の範囲】

【請求項 1】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第1又は第2の電極が接続され、

ゲート電極が前記アノード線に接続された第1のトランジスタと、ゲート電極がカソード線に接続された第2のトランジスタを具備するアナログスイッチと、

前記カソード線又は電源線にゲート電極が接続され、前記アノード線に第1の電極が接続され、前記アナログスイッチの出力端子及び走査線に第2の電極が接続されたバイアス用トランジスタとを有することを特徴とする表示装置。

【請求項 2】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第1又は第2の電極が接続され、

ソース電位が低電位電圧VSSと同電位であり、ゲート電極が前記アノード線に接続されたトランジスタが一端に配置され、

ソース電位が高電位電圧VDDと同電位であり、ゲート電極がカソード線に接続されたトランジスタが他端に配置されたクロックドインバータと、

前記カソード線又は電源線にゲート電極が接続され、前記アノード線に第1の電極が接続され、前記クロックドインバータの出力端子及び走査線に第2の電極が接続されたバイアス用トランジスタとを有することを特徴とする表示装置。

【請求項 3】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第1又は第2の電極が接続され、

ソース電位が低電位電圧VSSと同電位であり、ゲート電極が前記アノード線に接続されたトランジスタが一端に配置され、

ソース電位が高電位電圧VDDと同電位であり、ゲート電極がレベルシフタを介してカソード線に接続されたトランジスタが他端に配置されたクロックドインバータと、

前記カソード線又は電源線にゲート電極が接続され、前記アノード線に第1の電極が接続され、前記クロックドインバータの出力端子及び走査線に第2の電極が接続されたバイアス用トランジスタとを有することを特徴とする表示装置。

【請求項4】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第1又は第2の電極が接続され、

ソース電位が低電位電圧VSSと同電位であり、ゲート電極が第1のレベルシフタを介して前記アノード線に接続されたトランジスタが一端に配置され、

ソース電位が高電位電圧VDDと同電位であり、ゲート電極が第2のレベルシフタを介してカソード線に接続されたトランジスタが他端に配置されたクロックドインバータと、

前記カソード線又は電源線にゲート電極が接続され、前記アノード線に第1の電極が接続され、前記クロックドインバータの出力端子及び走査線に第2の電極が接続されたバイアス用トランジスタとを有することを特徴とする表示装置。

【請求項5】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第1又は第2の電極が接続され、

ゲート電極が前記アノード線に接続された第1のトランジスタと、ゲート電極がカソード線に接続された第2のトランジスタを具備するアナログスイッチを有し、

前記アナログスイッチの出力端子と前記信号線は電気的に接続することを特徴とする表示装置。

【請求項6】

請求項1乃至請求項4のいずれか一項において、前記アノード線と前記信号線との間に配置される前記トランジスタのゲート電極は、前記走査線に接続されることを特徴とする表示装置。

【請求項7】

請求項1乃至請求項4のいずれか一項において、前記電源線は一定の電位に保たれていることを特徴とする表示装置。

【請求項 8】

請求項 1 乃至請求項 5 のいずれか一項において、前記発光素子の前記第 1 及び前記第 2 の電極は、一方は前記アノード線に接続され、他方は前記カソード線に接続されることを特徴とする表示装置。

【請求項 9】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第 1 又は第 2 の電極が接続され、

ゲート電極が前記アノード線に接続された第 1 のトランジスタと、ゲート電極がカソード線に接続された第 2 のトランジスタを具備するアナログスイッチと、

前記カソード線又は電源線にゲート電極が接続され、前記アノード線に第 1 の電極が接続され、前記アナログスイッチの出力端子及び走査線に第 2 の電極が接続されたバイアス用トランジスタとを有する表示装置の駆動方法において、

前記アノード線と前記カソード線の電位を反転して、前記発光素子に逆方向バイアスを印加すると同時に、前記アナログスイッチをオフにし、前記バイアス用トランジスタをオンにして、前記アノード線の電位と前記走査線の電位を同電位にすることを特徴とする表示装置の駆動方法。

【請求項 10】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第 1 又は第 2 の電極が接続され、

ソース電位が低電位電圧 VSS と同電位であり、ゲート電極が前記アノード線に接続されたトランジスタが一端に配置され、

ソース電位が高電位電圧 VDD と同電位であり、ゲート電極がカソード線に接続されたトランジスタが他端に配置されたクロックドインバータと、

前記カソード線又は電源線にゲート電極が接続され、前記アノード線に第 1 の電極が接続され、前記クロックドインバータの出力端子及び走査線に第 2 の電極が接続されたバイアス用トランジスタとを有する表示装置の駆動方法において、

前記アノード線と前記カソード線の電位を反転して、前記発光素子に逆方向バイアスを印加すると同時に、前記クロックドインバータをハイインピーダンス状態にし、前記バイアス用トランジスタをオンにして、前記アノード線の電位と前

記走査線の電位を同電位にすることを特徴とする表示装置の駆動方法。

【請求項 1 1】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第1又は第2の電極が接続され、

ソース電位が低電位電圧VSSと同電位であり、ゲート電極が前記アノード線に接続されたトランジスタが一端に配置され、

ソース電位が高電位電圧VDDと同電位であり、ゲート電極がレベルシフタを介してカソード線に接続されたトランジスタが他端に配置されたクロックドインバータと、

前記カソード線又は電源線にゲート電極が接続され、前記アノード線に第1の電極が接続され、前記クロックドインバータの出力端子及び走査線に第2の電極が接続されたバイアス用トランジスタとを有する表示装置の駆動方法において、

前記アノード線と前記カソード線の電位を反転して、前記発光素子に逆方向バイアスを印加すると同時に、前記クロックドインバータをハイインピーダンス状態にし、前記バイアス用トランジスタをオンにして、前記アノード線の電位と前記走査線の電位を同電位にすることを特徴とする表示装置の駆動方法。

【請求項 1 2】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第1又は第2の電極が接続され、

ソース電位が低電位電圧VSSと同電位であり、ゲート電極が第1のレベルシフタを介して前記アノード線に接続されたトランジスタが一端に配置され、

ソース電位が高電位電圧VDDと同電位であり、ゲート電極が第2のレベルシフタを介してカソード線に接続されたトランジスタが他端に配置されたクロックドインバータと、

前記カソード線又は電源線にゲート電極が接続され、前記アノード線に第1の電極が接続され、前記クロックドインバータの出力端子及び走査線に第2の電極が接続されたバイアス用トランジスタとを有する表示装置の駆動方法において、

前記アノード線と前記カソード線の電位を反転して、前記発光素子に逆方向バイアスを印加すると同時に、前記クロックドインバータをハイインピーダンス状

態にし、前記バイアス用トランジスタをオンにして、前記アノード線の電位と前記走査線の電位を同電位にすることを特徴とする表示装置の駆動方法。

【請求項13】

アノード線と信号線がトランジスタを介して電気的に接続され、前記アノード線に発光素子の第1又は第2の電極が接続され、

ゲート電極が前記アノード線に接続された第1のトランジスタと、ゲート電極がカソード線に接続された第2のトランジスタを具備するアナログスイッチを有し、

前記アナログスイッチの出力端子と前記信号線は電気的に接続する表示装置の駆動方法において、

前記アノード線と前記カソード線の電位を反転して、前記発光素子に逆方向バイアスを印加すると同時に、前記アナログスイッチをオフにすることを特徴とする表示装置の駆動方法。

【請求項14】

請求項8乃至請求項11のいずれか一項において、前記アノード線の電位と前記走査線の電位を同電位にして、前記アノード線と前記信号線との間に配置されたトランジスタをオフすることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、自発光型の発光素子を用いた表示装置及びその駆動方法に関する。

【0002】

【従来の技術】

近年、発光素子を具備した表示装置の開発が進められている。発光素子を具備した表示装置は、高画質、薄型、軽量などの既存の液晶表示装置がもつ利点の他、応答速度が速く、視野特性が広いなどの特徴を有しているため、携帯端末を主な用途として、開発が進められている。発光素子は、2つの電極間に、有機材料や無機材料等の広汎にわたる材料により構成される層を有する。

【0003】

発光素子は、経時変化によりその輝度が低下する性質を有する。そのため、発光素子の劣化を抑制し、信頼性を向上させるため、該発光素子に逆方向バイアスを印加する方法がある（特許文献1参照）。また、発光素子と直列に接続され、発光素子の発光を制御するEL駆動用TFT、ビデオ信号の画素への入力を制御するスイッチング用TFT、EL駆動用TFTのオンオフを制御する消去用TFTが一画素内に設けられた表示装置がある（特許文献2参照）。

【0004】

【特許文献1】 特開2001-117534号公報

【特許文献2】 特開2001-343933号公報

【0005】

【発明が解決しようとする課題】

特許文献2の一画素の回路図を図9に示す。図9において、発光素子54に逆方向バイアスを印加する際には、アノード線18とカソード線19の電位を逆にする。具体的な条件を例に挙げて説明すると、アノード線18の電位を7Vから-8V、カソード線19の電位を-8Vから7Vというように、その電位を逆にする。このとき、TFT51及びTFT52のゲート電極にオフの信号電圧(0V)が入力されていた場合、両TFTともそのゲート・ソース間電圧は|8V|となるため、アノード線18とカソード線19の電位を逆にした瞬間にTFT51、52はオンする。そうすると、図示するように電流が流れ、信号線駆動回路103とアノード線18がショートしてしまう。

【0006】

そこで本発明は、アノード線と信号線がトランジスタを介して電気的に接続された構成を有する表示装置において、逆バイアスを印加した際に、アノード線と信号線駆動回路に具備される電源線とのショートを防止した表示装置及びその駆動方法を提供する。

【0007】

【課題を解決するための手段】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。まず第1の手段として、走査線駆動回路に逆バイアス印加回路を設ける。

そして、信号線とアノード線の間に配置されたトランジスタに、該逆バイアス印加回路からの信号を供給し、当該トランジスタをオフにして、信号線とアノード線とのショートを防止する。

【0008】

そして、前記逆バイアス印加回路は、アナログスイッチ又はクロックドインバータと、バイアス用トランジスタとを具備する。アナログスイッチは、ゲート電極がアノード線に接続された第1のトランジスタと、ゲート電極がカソード線に接続された第2のトランジスタを有する。

【0009】

また、クロックドインバータは、ソース電位が低電位電圧VSSと同電位であり、ゲート電極がアノード線に接続されたトランジスタが一端に配置され、ソース電位が高電位電圧VDDと同電位であり、ゲート電極がカソード線に接続されたトランジスタが他端に配置された構成を有する。

【0010】

さらに、上記とは異なる構成として、ソース電位が低電位電圧VSSと同電位であり、ゲート電極が第1のレベルシフタを介してアノード線に接続されたトランジスタが一端に配置され、ソース電位が高電位電圧VDDと同電位であり、ゲート電極が第2のレベルシフタを介してカソード線に接続されたトランジスタが他端に配置された構成を有する。前記第1又は前記第2のレベルシフタは、電圧条件によって動作に必要がなければ、削除してもよく、例えば、第1のレベルシフタは削除してもよい。

【0011】

前記バイアス用トランジスタは、カソード線又は一定の電位に保たれた電源線にゲート電極が接続され、アノード線に第1の電極が接続され、アナログスイッチの出力端子及び走査線に第2の電極が接続される。

【0012】

上記構成を有する表示装置において、アノード線とカソード線の電位を反転して、発光素子に逆方向バイアスを印加すると同時に、アナログスイッチをオフにし、バイアス用トランジスタをオンにするように駆動する。そうすると、前記ア

ノード線の電位と前記走査線の電位を同電位にすることができるため、アノード線と信号線との間に配置されたトランジスタを確実にオフすることができる。

【0013】

第2の手段として、信号線駆動回路に逆バイアス印加回路を設ける。前記逆バイアス印加回路は、信号線駆動回路に具備される電源線とアノード線とのショートを防止するスイッチを有する。そして、このスイッチは、アノード線とカソード線の電位を利用して、オンとオフが決定される。

【0014】

そして、前記逆バイアス印加回路は、アナログスイッチを有する。そして、前記アナログスイッチは、ゲート電極が前記アノード線に接続された第1のトランジスタと、ゲート電極がカソード線に接続された第2のトランジスタを具備するアナログスイッチを有し、前記アナログスイッチの出力端子と前記信号線は電気的に接続する。

【0015】

上記構成を有する表示装置において、アノード線とカソード線の電位を反転して、前記発光素子に逆方向バイアスを印加すると同時に、前記アナログスイッチをオフにするように駆動する。そうすると、アノード線と信号線駆動回路に具備される電源線との間のスイッチを確実にオフすることができるため、該アノード線と信号線駆動回路に具備される電源線との間のショートを防止することができる。

【0016】

また本発明の表示装置は、発光素子を具備することを特徴とし、該発光素子の両電極は、一方はアノード線に接続され、他方はカソード線に接続されることを特徴とする。なお本発明において、アノード線とは発光素子の画素電極（陽極）が接続される配線であり、カソード線とは発光素子の対向電極（陰極）が接続される配線とする。

【0017】

また、前記走査線とは、信号線とアノード線との間のトランジスタのゲート電極に接続された全ての配線とする。図9に示す画素を例に挙げると、信号線57

とアノード線18の間にトランジスタ51、52が配置されているので、それらのトランジスタのゲート電極に接続されている走査線58とリセット線59がここでいう走査線に相当する。

【0018】

本発明は、走査線駆動回路又は信号線駆動回路に逆バイアス印加回路を設け、該逆バイアス印加回路は発光素子に逆バイアスを印加する際に、アノード線とカソード線の電位が反転することを利用する。そして、逆バイアス印加回路から供給される信号を用いて、アノード線と信号線の間に配置されたトランジスタを確実にオフにすることで、信号線とアノード線とのショートを防止することができる。また、アノード線と信号線駆動回路に具備される電源線との間のスイッチを確実にオフすることで、アノード線と信号線駆動回路に具備される電源線との間のショートを防止することができる。

【0019】

【発明の実施の形態】

(実施の形態1)

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0020】

本実施の形態では、走査線駆動回路に具備される逆バイアス印加回路について説明する。逆バイアス印加回路から出力される信号は、画素における信号線とアノード線の間に配置されたトランジスタに供給される。そして、当該トランジスタをオフにして、信号線とアノード線とのショートを防止する。なお信号線とアノード線との間には、複数のトランジスタが配置されるが、前記複数のトランジスタのうち、少なくとも1つのトランジスタを確実にオフできるようにすればよい。

【0021】

本実施の形態では、図9に示した構成の画素を用いる場合を例に挙げ、逆バイアス印加回路116は走査線58又はリセット線59に接続される場合を例に挙げる。逆バイアス印加回路116からの信号は、走査線58に接続されたトランジスタ51又はリセット線59に接続されたトランジスタ52に供給され、両トランジスタのうちどちらかのトランジスタをオフにして、信号線57とアノード線18のショートを防止する。

【0022】

図1 (A) (B)において、逆バイアス印加回路116は、Nチャネル型トランジスタ20とPチャネル型トランジスタ21を含むアナログスイッチ28を有し、該アナログスイッチ28の出力端子は、走査線58又はリセット線59に接続される。また、Nチャネル型のバイアス用トランジスタ17を有し、ゲート電極は電源線27と接続され、ソース電極はアノード線18及びアナログスイッチ28の出力端子の一方に接続され、ドレイン電極は他方に接続される。電源線27の電位は一定電位に保たれており、ここでは7Vとする。なおトランジスタ17のゲート電極は、一定の電位に保たれた配線に接続されればよく、本実施の形態では、電源線27に接続された場合を示したが、例えばカソード線19に接続されていてもよい。

【0023】

動作について、図1 (C) のタイミングチャートに従って説明する。図1 (C) では、逆バイアスを印加する期間をT2、それ以外の期間をT1として、期間T1、T2における動作について説明する。ここでは、一例として、アノード7V、カソード-8V、VDDは10V、VSSは0Vの条件下における動作について説明する。

【0024】

期間T1において(図1 (A))、アノード線18の電位は7V、カソード線19の電位は-8V、電源線27の電位は7Vであるので、トランジスタ17はオフ、トランジスタ20、21はオンになる。そうすると、アナログスイッチ28から、G-OUTB (G-OUTの反転信号) が出力される。なおG-OUTと

は、逆バイアス印加回路に隣接する回路から出力される信号を指し、例えば、バッファから出力される信号を指す。

【0025】

期間T2において（図1（B））、アノード線18とカソード線19の電位を逆にする。具体的には、アノード線18の電位を7Vから-8V、カソード線19の電位を-8Vから7Vにする。そうすると、トランジスタ17はオン、トランジスタ20、21はオフになり、アナログスイッチ28はオフになる。同時に、トランジスタ17を介して、アノード線18の電位が走査線58又はリセット線59に伝達され、アノード線18の電位（ここでは-8V）と走査線57又はリセット線59の電位が同電位となる。

【0026】

図1（B）の場合、アナログスイッチ28の出力端子が走査線58に接続されているため、アノード線18と走査線58の電位が同電位となる。そうすると、走査線58に接続されたトランジスタ51のゲート・ソース間電圧は0Vとなり、トランジスタ51はオフし、信号線57とアノード線18とのショートを防止することができる。このように、本発明は、走査線58又はリセット線59の電位をアノード線18の電位と同じにすることで、トランジスタ51又は52を確実にオフして、信号線57とアノード線18とのショートを防止する。

【0027】

次に、上記とは異なる実施の形態について、図2を用いて説明する。より詳しくはアナログスイッチ28ではなく、クロックドインバータを具備した逆バイアス印加回路116について説明する。

【0028】

図2（A）（B）において、逆バイアス印加回路116は、Nチャネル型トランジスタ11、12とPチャネル型トランジスタ13、14とが直列に接続されたクロックドインバータ29を有し、該クロックドインバータ29の出力端子は、走査線58又はリセット線59に接続される。トランジスタ11のソースはVSSと同電位であり、ゲート電極はアノード線18に接続される。トランジスタ14のソースはVDDと同電位であり、ゲート電極はカソード線19に接続され

る。また、Nチャネル型のバイアス用トランジスタ17を有する。電源線27の電位は一定電位に保たれており、ここでも7Vとする。

【0029】

動作について、上記と同様に、図1 (C) のタイミングチャートに従って説明する。ここでは、一例として、アノード7V、カソード-8V、VDDは7V、VSSは0Vの条件下における動作について説明する。

【0030】

期間T1において(図2 (A))、アノード線18の電位は7V、カソード線19の電位は-8Vであるので、トランジスタ11、14はオン、トランジスタ17はオフになる。このとき、クロックドインバータ29からはG-OUTBが出力される。

【0031】

期間T2において(図2 (B))、アノード線18の電位を7Vから-8V、カソード線19の電位を-8Vから7Vに変える。そうすると、トランジスタ11、14はオフになり、クロックドインバータ29はハイインピーダンス状態になる。同時に、トランジスタ17を介して、アノード線18の電位が走査線58又はリセット線59に伝達され、アノード線18の電位(ここでは-8V)と走査線57又はリセット線59の電位が同電位となる。そうすると、走査線58に接続されたトランジスタ51又はリセット線59に接続されたトランジスタ52のうち、どちらかのトランジスタがオフになり、信号線57とアノード線18のショートを防止することができる。

【0032】

なお図2に示す構成において、アノード線18の電位 V_a とVDDとの関係が $V_a < VDD$ の条件下では、逆バイアス印加時に、トランジスタ14がオンしてしまい、クロックドインバータ29がハイインピーダンス状態にならない。そのため、アノード線18の電位 V_{ano} とVDDは、 $V_a \geq VDD$ を満たすことが必須条件となる。

【0033】

続いて、上記とは異なる実施の形態について、図3 (A) (B) を用いて説明

する。より詳しくは、レベルシフタを具備した逆バイアス印加回路116について説明する。

【0034】

図3 (A) (B)において、逆バイアス印加回路116は、トランジスタ11のゲート電極とアノード線18の間にレベルシフタ(LS1)15、トランジスタ14とカソード線19の間にレベルシフタ(LS1)16を有する。そして、トランジスタ17のゲート電極がカソード線19に接続されている以外は、図2に示した構成と同じである。なお、トランジスタ17のゲート電極は、一定の電位に保たれた配線に接続されていればよく、カソード線19ではなく、新たに設けた電源線に接続されていてもよい。レベルシフタ(LS1)15、16の詳細な構成は後述するが、ここでは、レベルシフタ15、16は、7Vを10V、-8Vを-8Vにする。

【0035】

動作について、上記と同様に、図1 (C) のタイミングチャートに従って説明する。ここでは、一例として、アノード7V、カソード-8V、VDDは10V、VSSは0Vの条件下における動作について説明する。

【0036】

期間T1において(図3 (A))、アノード線18の電位は7V、カソード線19の電位は-8Vであり、トランジスタ11にはレベルシフタ15を介して10Vの信号が供給され、トランジスタ14にはレベルシフタ16を介して-8Vの信号が供給される。そうすると、トランジスタ11、14はオン、トランジスタ17はオフになる。このとき、クロックドインバータ29からはG-OUTBが出力される。

【0037】

期間T2において(図3 (B))、アノード線18の電位が7Vから-8V、カソード線19の電位が-8Vから7Vに変化し、トランジスタ11にはレベルシフタ15を介して-8Vの信号が供給され、トランジスタ14にはレベルシフタ16を介して10Vの信号が供給される。そうすると、トランジスタ11はオフ、14はオフになり、クロックドインバータ29はハイインピーダンス状態に

なる。同時に、トランジスタ17を介して、アノード線18の電位が走査線58又はリセット線59に伝達され、アノード線18の電位（ここでは-8V）と走査線57又はリセット線59の電位が同電位となる。そうすると、走査線58に接続されたトランジスタ51又はリセット線59に接続されたトランジスタ52のうち、どちらかのトランジスタがオフになり、信号線57とアノード線18のショートを防止することができる。

【0038】

レベルシフタ15、16は、クロックドインバータ29を構成するトランジスタ11、14を確実にオフする目的で設けられている。より詳しくは、逆バイアス印加時、トランジスタ14にカソード線19の電位（この期間では7V）を供給すると、そのゲート電位（7V）とドレイン電位（VDD、10V）から、個々のトランジスタの特性によっては、そのソース・ドレイン間に電流が流れてしまう。そこで、レベルシフタ16を間に配置することで、トランジスタ14のゲート電位とドレイン電位（VDD、10V）とが同じ電位になるようにして、そのソース・ドレイン間に電流が流れないようにする。なお、図3に示す構成において、トランジスタ11には、レベルシフタ15を介してアノード線18の電位がそのまま伝達されているため、レベルシフタ15を配置しなくても構わない。

【0039】

続いて、上記とは異なる本発明の実施の形態について、図3（C）を用いて説明する。

【0040】

図3（C）において、逆バイアス印加回路116は、トランジスタ11のゲート電極とアノード線18の間にレベルシフタ（LS2）25を有する。そして、トランジスタ17のゲート電極が電源線27に接続されている以外は、図3（A）（B）に示した構成と同じである。レベルシフタ（LS2）26の詳細な構成は後述するが、ここでは、レベルシフタ26は、7Vを7V、-8Vを0Vにする。

【0041】

動作について、上記と同様に、図1（C）のタイミングチャートに従って説明

する。ここでは、一例として、アノード7V、カソード-8V、VDDは10V、VSSは0Vの条件下における動作について説明する。

【0042】

期間T1において、アノード線18の電位は7V、カソード線19の電位は-8Vであり、トランジスタ11にはレベルシフタ25を介して7Vの信号が供給され、トランジスタ14にはレベルシフタ16を介して-8Vの信号が供給される。そうすると、トランジスタ11、14はオン、トランジスタ17はオフになる。このとき、クロックドインバータ29からはG-OUTBが出力される。

【0043】

期間T2において（図3（C））、アノード線18の電位が7Vから-8V、カソード線19の電位が-8Vから7Vに変化し、トランジスタ11にはレベルシフタ25を介して0Vの信号が供給され、トランジスタ14にはレベルシフタ16を介して10Vの信号が供給される。そうすると、トランジスタ11、14はオフになり、クロックドインバータ29はハイインピーダンス状態になる。同時に、トランジスタ17を介して、アノード線18の電位が走査線58又はリセット線59に伝達され、アノード線18の電位（ここでは-8V）と走査線57又はリセット線59の電位が同電位となる。そうすると、走査線58に接続されたトランジスタ51又はリセット線59に接続されたトランジスタ52のうち、どちらかのトランジスタがオフになり、信号線57とアノード線18のショートを防止することができる。

【0044】

（実施の形態2）

本実施の形態では、信号線駆動回路に具備される逆バイアス印加回路について説明する。逆バイアス印加回路は、信号線駆動回路に具備される電源線とアノード線18とのショートを防止するスイッチが具備される。そして、このスイッチは、アノード線18とカソード線19の電位を利用して、オンとオフが決定する。

【0045】

図4において、逆バイアス印加回路117は、Nチャネル型トランジスタ40

とPチャネル型トランジスタ41を含むアナログスイッチ42を有し、該アナログスイッチ42は信号線59に接続される。

【0046】

動作について、以下に説明する。ここでは、一例として、アノード7V、カソード-8Vの条件下における動作について説明する。

【0047】

逆バイアスを印加しない期間において、アノード線18の電位は7V、カソード線19の電位は-8Vであるので、トランジスタ20、21はオンになる。このとき、アナログスイッチ28からは、S-OUTB（S-OUTの反転信号）が出力される。

【0048】

逆バイアスを印加する期間において、アノード線18の電位を7Vから-8V、カソード線19の電位を-8Vから7Vに変わる。そうすると、トランジスタ20、21はオフになり、アナログスイッチ28はオフとなる。従って、画素と逆バイアス印加回路117はオフになり、信号線駆動回路に具備される電源線とアノード線18とのショートを防止することができる。

【0049】

（実施の形態3）

逆バイアス印加回路を構成する素子として、アナログスイッチを設ける場合とその動作（図1、4）について上述した。本実施の形態では、アナログスイッチを構成するトランジスタとしてノーマリーオンのディプリーション型のトランジスタを用いる場合について説明する。

【0050】

トランジスタのしきい値電圧の制御は、導電型を付与する不純物のチャネル形成領域に対するドーズ量等の調整で可能である。つまり、チャネル形成領域に対するドーズ量などの調整により、ディプリーション型のトランジスタを作製することができる。

【0051】

ディプリーション型のトランジスタと、ノーマリーオフのエンハンスメント型

のトランジスタに同じ高さのゲート電圧を与えた場合、そのゲートオーバードライブ電圧（ゲート電圧 V_{g_s} - 閾値電圧 V_{th} ）の絶対値は、ディプリーション型のトランジスタの方が大きくなる。つまり、ディプリーション型の場合は、ゲート電圧の高さが同じでもより高いオン電流を得ることができる。また、エンハンスマント型の場合と同じオン電流で構わない場合は、そのチャネル長（L）やチャネル幅（W）を小さくすることができる。

【0052】

つまり、本発明の逆バイアス印加回路が有するアナログスイッチに、ディプリーション型のトランジスタを用いると、該トランジスタの L/W を小さくすることができるため、基板上の実装面積の縮小につながる。

【0053】

また、本発明の逆バイアス印加回路は、アノード線とカソード線の電位を利用することを特徴とする。このとき、アノード線とカソード線の電位差の幅は、電源電圧の幅よりも大きい。従って、ディプリーション型のトランジスタを用いても、電位設定によっては、そのゲート・ソース間電圧から、オフしたいときに、確実にオフさせることができる。なお、ノーマリーオンのトランジスタは、アナログスイッチを構成するN型トランジスタ及びP型トランジスタの両者に用いてもよいし、どちらか一方のみに用いてもよい。どちらか一方のみに用いる場合は、P型トランジスタに用いることが好適である。

【0054】

【実施例】

（実施例1）

本実施例では、走査線駆動回路に具備される逆バイアス印加回路116が有するレベルシフタについて、図5を用いて説明する。

【0055】

本実施例では、一例として、図5（A）に示すように、7Vを10V、-8Vを-8Vにするレベルシフタの構成について説明する。図5（B）は、レベルシフタの等価回路図であり、当該レベルシフタは、直列に接続されたPチャネル型トランジスタ31及びNチャネル型トランジスタ33と、Pチャネル型トランジ

スタ32及びNチャネル型トランジスタ34を含む。

【0056】

動作について簡単に説明すると、レベルシフタに入力される信号Vin1が7V、Vin2が-8Vのとき、トランジスタ33、32がオンして、OUTには10Vの信号が出力される。また、Vin1が-8V、Vin2が7Vのとき、トランジスタ34がオンして、OUTには-8Vの信号が出力される。このように、レベルシフタは、入力される信号電圧を所望の値に設定することができる。レベルシフタを逆バイアス印加回路に組み込む際には、トランジスタ31、32のソース電位と、トランジスタ33、34のソース電位の値を適宜設定して、所望の信号電圧が出力されるようにする。

【0057】

本実施例は、上記の実施の形態と自由に組み合わせることができる。

【0058】

(実施例2)

本発明の表示装置をデジタル駆動する場合には、多階調の画像を表現するために時間階調方式を用いる。本実施例では、図9 (A) に示した画素を用いた表示装置において、逆バイアスを印加するタイミングについて図6 (A) (B) を用いて説明する。図6 (A) は、縦軸は走査線、横軸は時間のときのタイミングチャートを示し、図6 (B) はj行目の走査線のタイミングチャートを示す。

【0059】

表示装置は、そのフレーム周波数を通常60Hz程度とする。つまり、1秒間に60回程度の画面の描画が行われ、画面の描画を1回行う期間を1フレーム期間と呼ぶ。時間階調方式では、1フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多く、ここでは簡単に、分割数が階調ビット数に等しい場合を示す。つまり本実施例では5ビット階調を例示しているので、5つのサブフレーム期間SF1～SF5に分割した例を示す。各サブフレーム期間は、画素にビデオ信号を書き込むアドレス期間Taと、画素が点灯又は非点灯するサステイン期間Tsを有する。サステイン期間Ts1～Ts5は、その長さの比をTs1：…：Ts5 = 16：8：4：2：

：1とする。つまり、nビット階調を表現する場合、n個のサステイン期間は、その長さの比を $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ とする。

【0060】

そして図6において、サブフレーム期間S F 5は消去期間T e 5を有する。消去期間T e 5では、画素に書き込まれたビデオ信号をリセットする。そして、消去期間T e 5の終了後、逆バイアス印加期間T rが設けられる。この逆バイアス印加期間T rでは、全ての画素で同時に逆バイアスが印加される。

【0061】

なお、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらにフレーム期間毎に、その順序が変化してもよい。

【0062】

本実施例は、上記の実施の形態、実施例と自由に組み合わせができる。

【0063】

(実施例3)

本実施の形態では、表示装置の構成について図7を用いて説明する。

【0064】

図7 (A)において、基板107上に、複数の画素101がマトリクス状に配置された画素部102を有し、画素部102の周辺には、信号線駆動回路103、第1の走査線駆動回路104及び第2の走査線駆動回路105を有する。図7 (A)においては、信号線駆動回路103と、2組の走査線駆動回路104、105を有しているが、本発明はこれに限定されず、駆動回路の個数は画素の構成に応じて任意に設定すればよい。これらの駆動回路は、F P C 106を介して外部より信号が供給される。

【0065】

図7 (B)には、第1の走査線駆動回路104及び第2の走査線駆動回路105の構成を示し、当該走査線駆動回路104、105は、シフトレジスタ114、バッファ115、逆バイアス印加回路116を有する。また、図7 (C)には

、信号線駆動回路103の構成を示し、当該信号線駆動回路103はシフトレジスタ111、第1のラッチ回路112、第2のラッチ回路113、逆バイアス印加回路117を有する。このように、本発明の逆バイアス印加回路116、117は、画素部102の周囲に配置される。

【0066】

なお、走査線駆動回路と信号線駆動回路の構成は、上記記載に限定されず、例えばサンプリング回路やレベルシフタなどを具備していてもよい。また、上記駆動回路以外に、CPUやコントローラなどの回路を基板107に一体形成してもよい。そうすると、接続する外部回路（IC）の個数が減少し、軽量、薄型がさらに図れるため、携帯端末などには特に有効である。

【0067】

本発明の逆バイアス印加回路は、アナログスイッチ又はクロックインバータと、バイアス用トランジスタを具備した構成を有する。このように、構成する素子数は少ないため、この逆バイアス印加回路を駆動回路に組み込んでも、実装面積の大幅な拡大にはつながらず、簡単に作製することができる。

【0068】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【0069】

（実施例4）

本発明を適用して作製される電子機器の一例として、デジタルカメラ、カーボーディオなどの音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（携帯電話、携帯型ゲーム機等）、家庭用ゲーム機などの記録媒体を備えた画像再生装置などが挙げられる。それら電子機器の具体例を図8に示す。

【0070】

図8(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。図8(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。図8(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、

表示部2203、キーボード2204、外部接続ポート2205、ポインティン
グマウス2206等を含む。

【0071】

図8(D)はモバイルコンピュータであり、本体2301、表示部2302、ス
イッチ2303、操作キー2304、赤外線ポート2305等を含む。図8(E)
は記録媒体を備えた携帯型の画像再生装置であり、本体2401、筐体2402
、表示部A2403、表示部B2404、記録媒体読込部2405、操作キー2
406、スピーカー部2407等を含む。表示部A2403は主として画像情報
を表示し、表示部B2404は主として文字情報を表示する。図8(F)はゴーグ
ル型ディスプレイであり、本体2501、表示部2502、アーム部2503を
含む。

【0072】

図8(G)はビデオカメラであり、本体2601、表示部2602、筐体260
3、外部接続ポート2604、リモコン受信部2605、受像部2606、バッ
テリー2607、音声入力部2608、操作キー2609等を含む。図8(H)は
携帯端末のうちの携帯電話機であり、本体2701、筐体2702、表示部27
03、音声入力部2704、音声出力部2705、操作キー2706、外部接続
ポート2707、アンテナ2708等を含む。

【0073】

上記の電子機器において、本発明は表示部の構成と、該表示部の駆動方法に適
用される。本発明により、経時劣化する性質がある発光素子を有するパネルを具
備した場合であっても、ショートすることなく逆バイアスを印加することができる
ため、該経時劣化を抑制できる。従って、エンドユーザに渡った後も、ユーザ
が電子機器を使用していないタイミングに逆バイアスを印加することで、機器本
体の長寿命化が実現される。

【0074】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【0075】

【発明の効果】

本発明は、走査線駆動回路又は信号線駆動回路に逆バイアス印加回路を設け、該逆バイアス印加回路は発光素子に逆バイアスを印加する際に、アノード線とカソード線の電位が逆になることを利用する。そして、逆バイアス印加回路から供給される信号を用いて、アノード線と信号線の間に配置されたトランジスタを確実にオフにすることで、信号線とアノード線とのショートを防止することができる。また、アノード線と信号線駆動回路に具備される電源線との間のスイッチを確実にオフすることで、アノード線と信号線駆動回路に具備される電源線との間のショートを防止することができる。さらに、発光素子に逆方向バイアスを印加することで、該発光素子の経時劣化を抑制することができる。

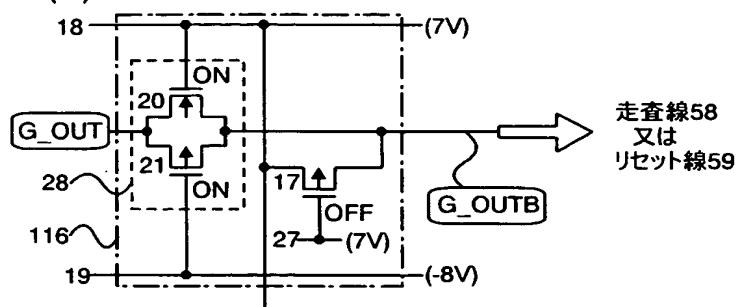
【図面の簡単な説明】

- 【図 1】 本発明の表示装置及びその駆動方法を説明する図。
- 【図 2】 本発明の表示装置及びその駆動方法を説明する図。
- 【図 3】 本発明の表示装置及びその駆動方法を説明する図。
- 【図 4】 本発明の表示装置及びその駆動方法を説明する図。
- 【図 5】 レベルシフタを示す図。
- 【図 6】 タイミングチャートを示す図。
- 【図 7】 パネル、走査線駆動回路及び信号線駆動回路を示す図。
- 【図 8】 本発明が適用される電子機器を示す図。
- 【図 9】 表示装置及びその駆動方法を説明する図。

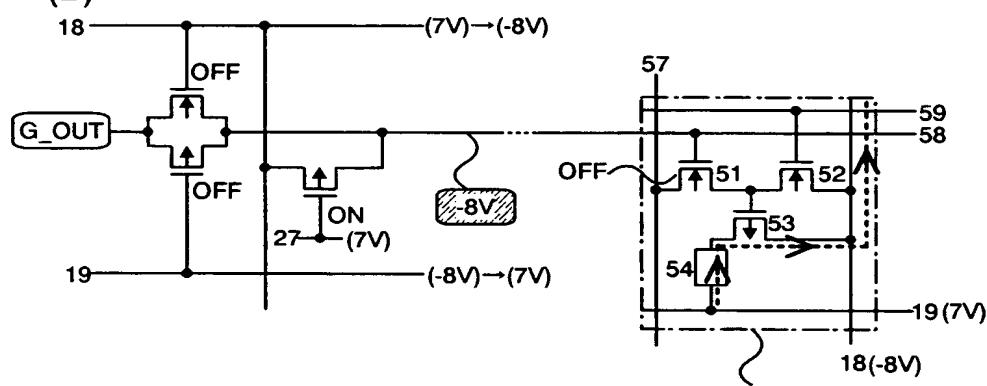
【書類名】 図面

【図1】

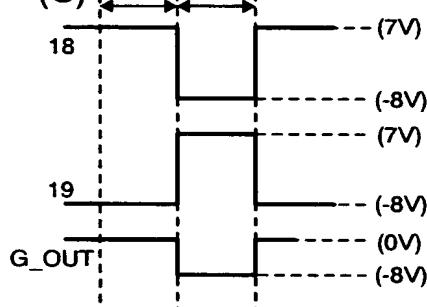
(A)



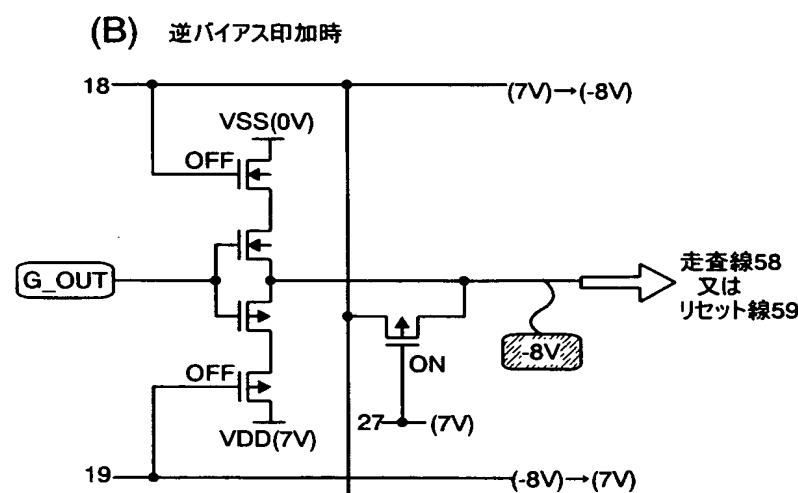
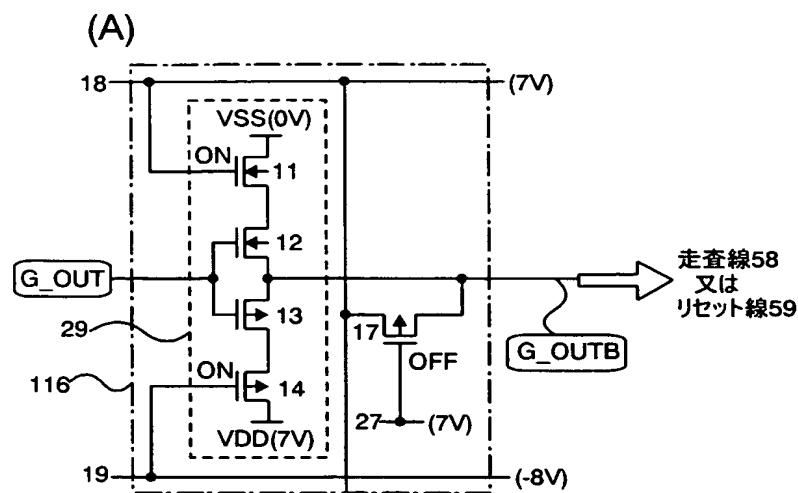
(B) 逆バイアス印加時



(C)

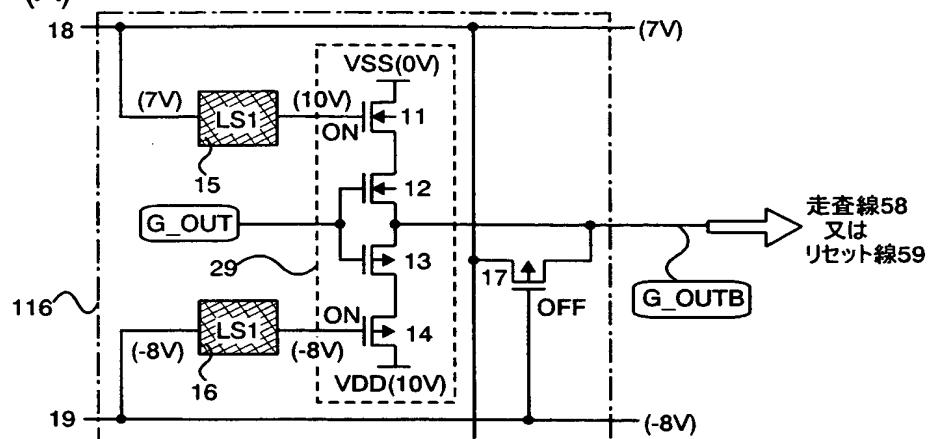


【図2】

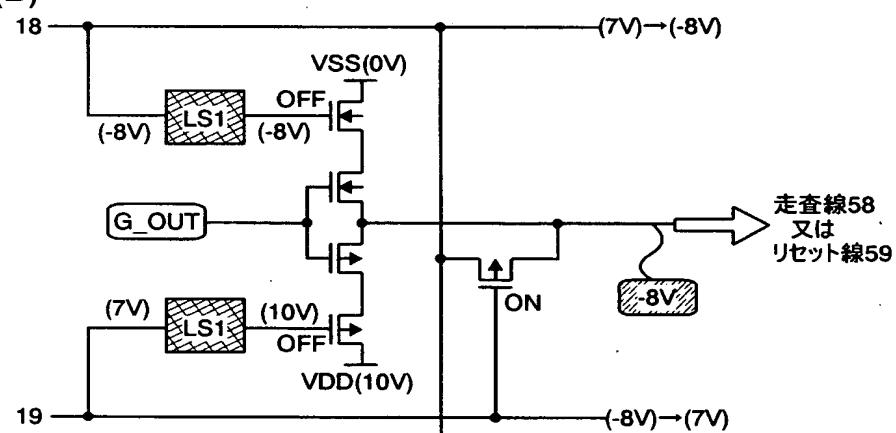


【図3】

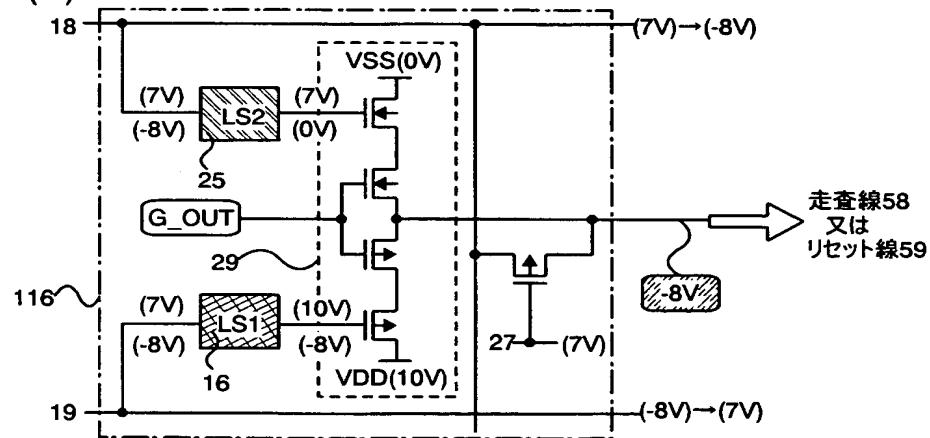
(A)



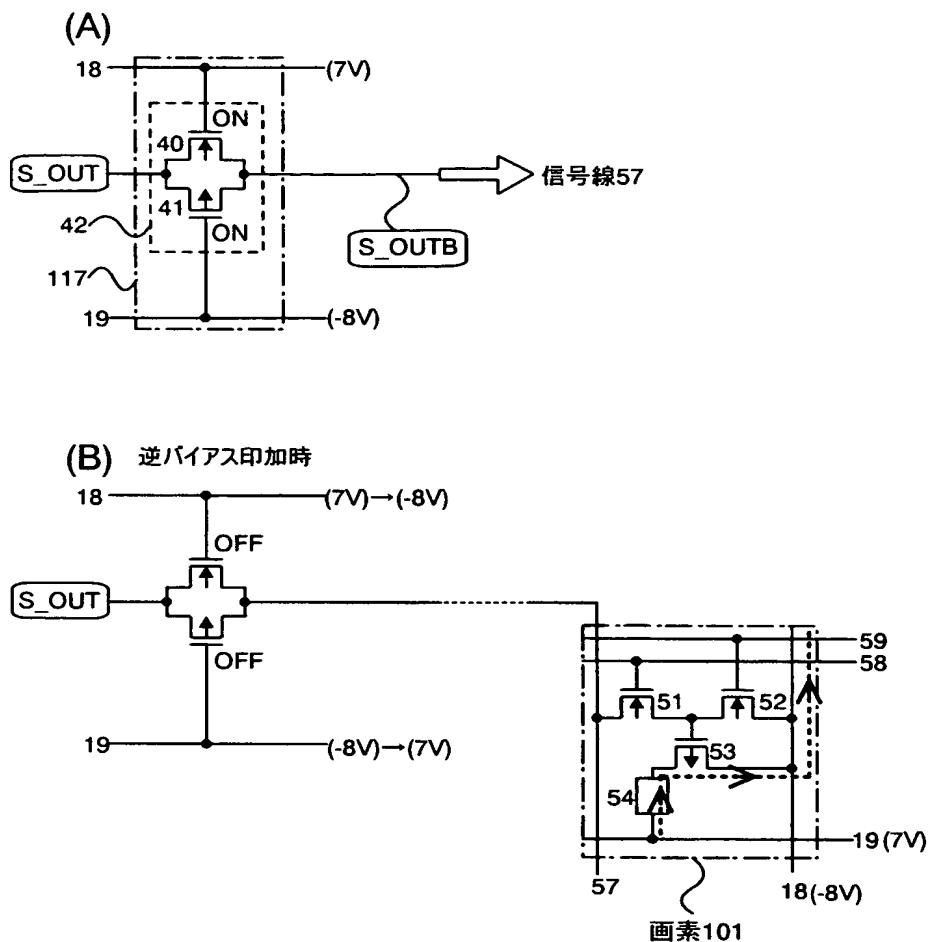
(B) 逆バイアス印加時



(C)

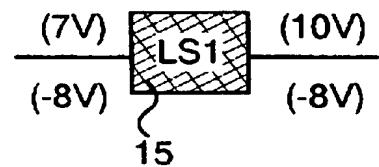


【図4】

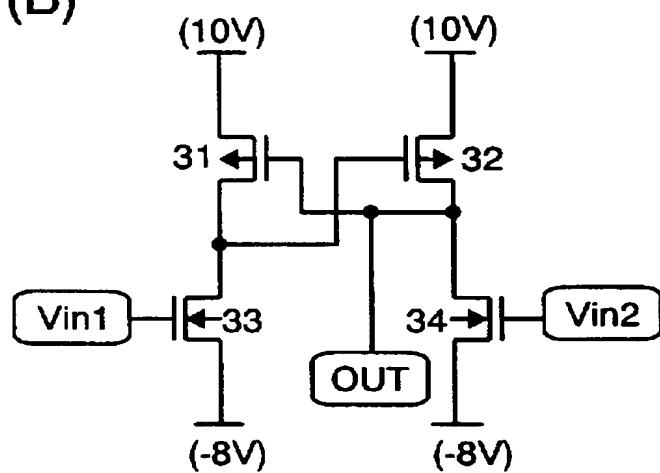


【図5】

(A)

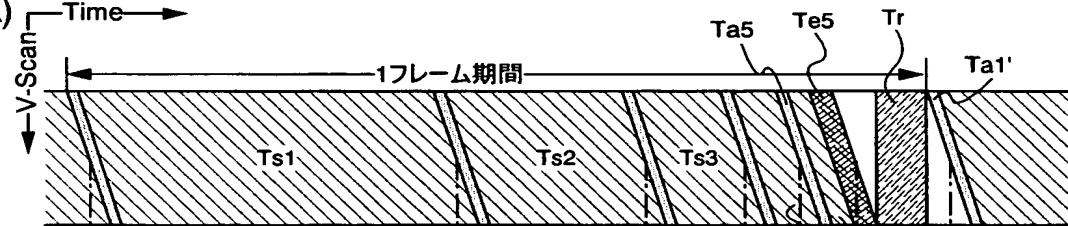


(B)

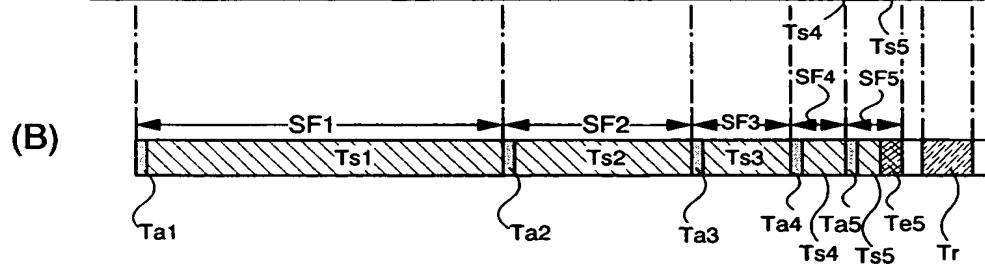


【図6】

(A)

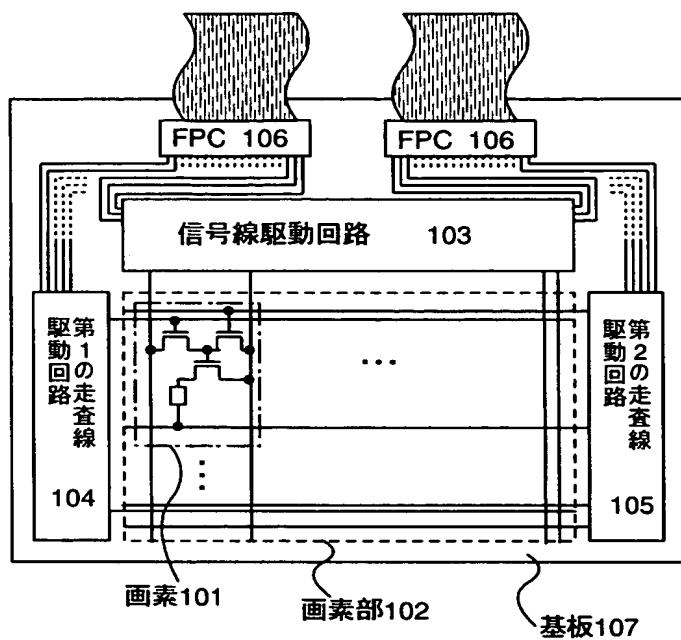


(B)

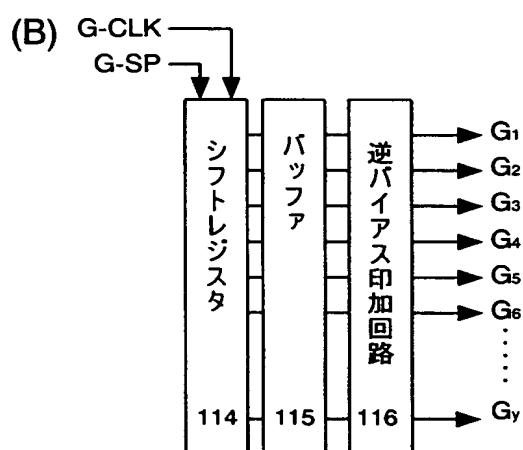


【図 7】

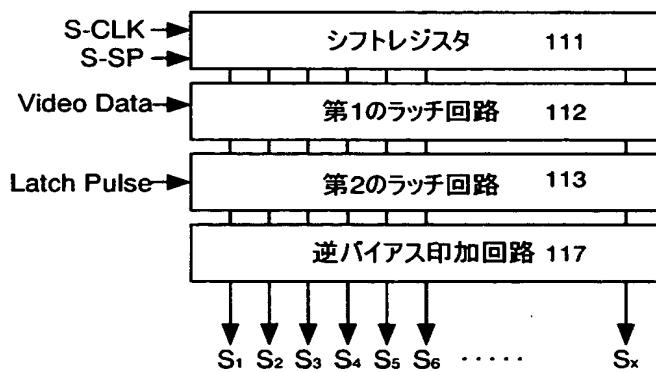
(A)



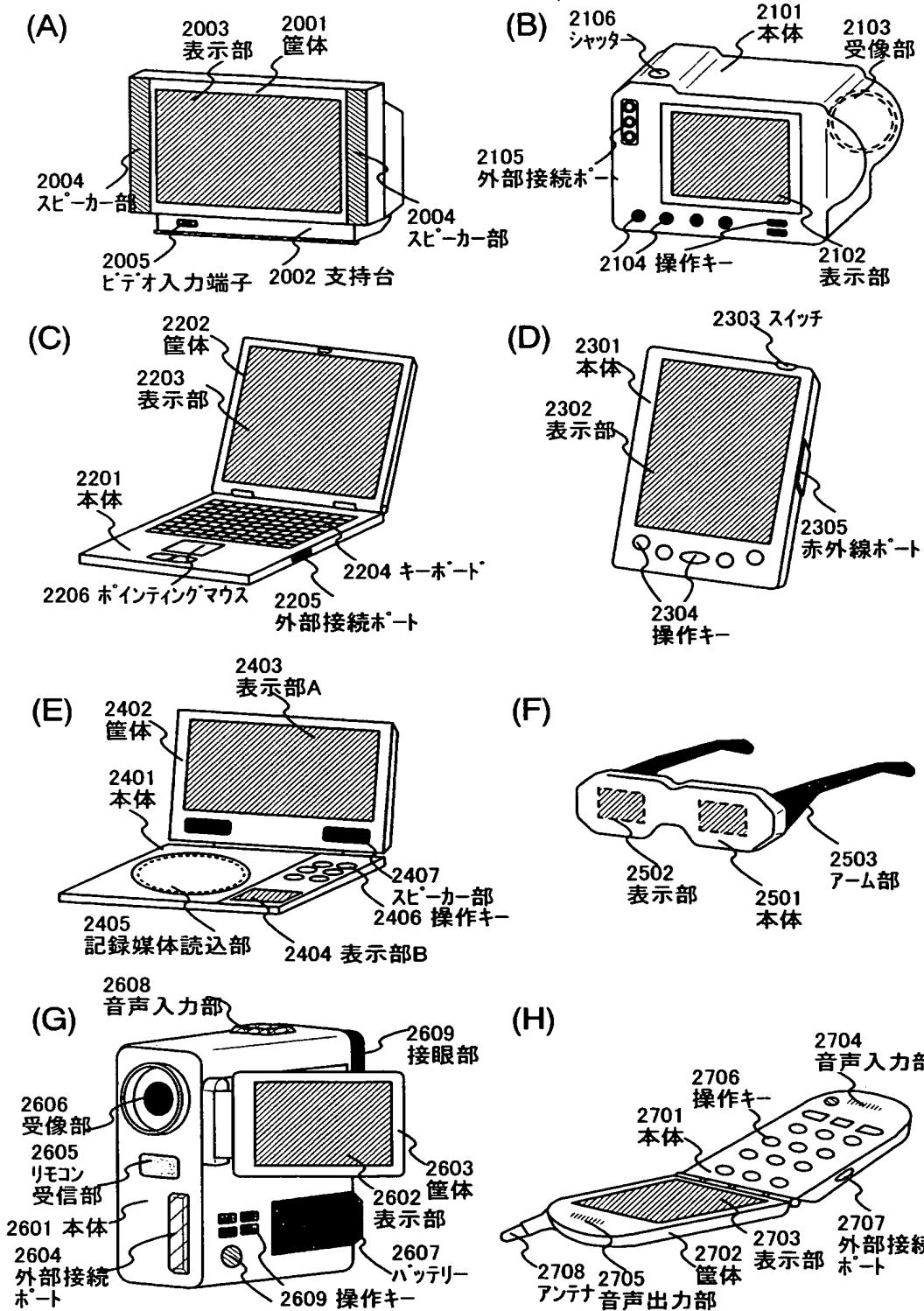
(B)



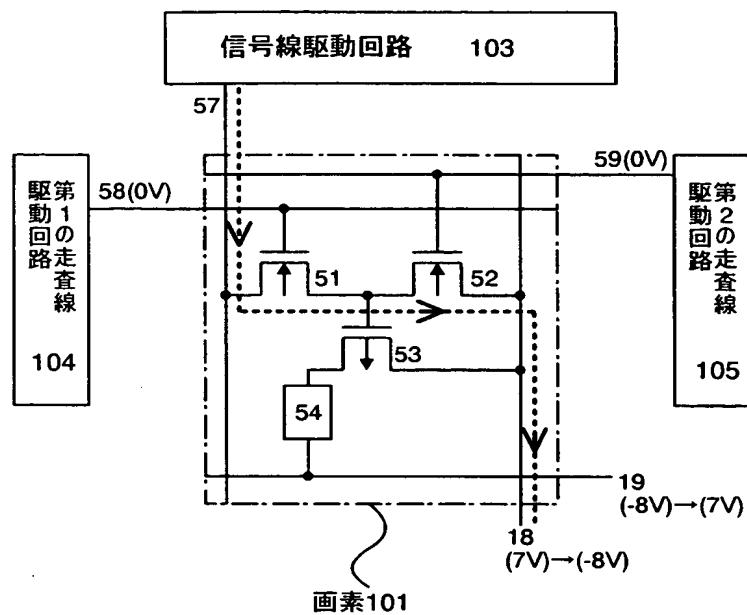
(C)



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 逆バイアスを印加した際、アノード線と信号線駆動回路に具備される電源線とのショートを防止した表示装置及びその駆動方法を提供する。

【解決手段】 本発明は、走査線駆動回路又は信号線駆動回路に逆バイアス印加回路を設けて、信号線とアノード線の間に配置されたトランジスタに、該逆バイアス印加回路からの信号を供給し、当該トランジスタをオフする。前記逆バイアス印加回路は、アナログスイッチ又はクロックドインバータと、バイアス用トランジスタとを具備しており、アノード線とカソード線の電位を反転して、発光素子に逆方向バイアスを印加すると同時に、アナログスイッチをオフにし、バイアス用トランジスタをオンにするように駆動する。そうすると、前記アノード線の電位と前記走査線の電位を同電位にして、アノード線と信号線との間に配置されたトランジスタを確実にオフすることができる。

【選択図】 図1

特願 2003-086570

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所